

PAT-NO: JP404061184A

DOCUMENT-IDENTIFIER: JP 04061184 A

**TITLE: SURFACE LUMINESCENT SEMICONDUCTOR LASER
AND MANUFACTURE
THEREOF**

PUBN-DATE: February 27, 1992

INVENTOR-INFORMATION:

NAME

SUGIMOTO, MITSUNORI

HAMAO, NOBORU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP02164402

APPL-DATE: June 22, 1990

INT-CL (IPC): H01S003/18

US-CL-CURRENT: 372/45

ABSTRACT:

**PURPOSE: To provide a low threshold current high light emission
efficiency
surface emitting semiconductor laser with the high yield by forming a
semiconductor column as a light emitting region surrounded by a groove**

reaching

a quantum well active layer, and further forming a modified layer on a semiconductor side surface of the groove.

CONSTITUTION: There are crystal grown on an n-type GaAs semiconductor

substrate 1 a first conductivity type semiconductor multilayered reflecting film 2 comprising 23 periods of n-type AlAs 802 Å/n type GaAs 670 Å; a quantum well structure active layer 3 comprising

Al<SB>0.5</SB>Ga<SB>0.5</SB>As 1430 Å; a second conductivity type semiconductor

multilayered reflection film 4, and a p<SP> + </SP> type GaAs 30 Å; capping

layer 15. Further, a ring-shaped groove 7 issoformed by photoetching that it

reaches the active later 3. Thereupon, a semiconductor column 6 is formed as a

light emitting region. Then, an SiO<SB>2</SB> film 5 as a mutual diffusion

promoting film is formed over the entire surface of the substrate, and the SiO<SB>2</SB> film 5 is etched using dry etching 12. Further, a modified layer

(disordered region) 8 is formed only in the vicinity of the SiO<SB>2</SB> film

5 on the side surface of the ring-shaped groove 7 by a heat treatment.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-61184

⑮ Int. Cl.⁵

H 01 S 3/18

識別記号

庁内整理番号

9170-4M

⑬ 公開 平成4年(1992)2月27日

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 面発光半導体レーザ及びその製造方法

⑯ 特 願 平2-164402

⑰ 出 願 平2(1990)6月22日

⑱ 発 明 者 杉 本 満 則 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 発 明 者 浜 尾 昇 東京都港区芝5丁目7番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

面発光半導体レーザ及びその製造方法

特許請求の範囲

(1)半導体基板上に、第1導電型の半導体多層反射膜と、少なくとも1つの量子井戸構造をもつ量子井戸活性層と、第2導電型の半導体多層反射膜とを少なくとも備え、前記量子井戸活性層に達する溝で囲まれた発光領域となる半導体柱を有し、前記溝の半導体側面に変成層を備えることを特徴とする面発光半導体レーザ。

(2)半導体基板上に、第1導電型の半導体多層反射膜と、少なくとも1つの量子井戸構造をもつ量子井戸活性層と、第2導電型の半導体多層反射膜とを少なくとも備える半導体層を形成する工程と、前記量子井戸活性層に達する溝をエッチングにより形成し、該溝で囲まれた発光領域となる半導体柱を形成する工程と、少なくとも絶縁膜を含む相互拡散促進膜を半導体表面に形成する工程と、前記溝の

側面を除いて、指向性のあるドライエッチングにより、前記相互拡散促進膜を除去する工程と、熱処理により前記溝の側面の半導体層において相互拡散を行なう工程とを、備えることを特徴とする面発光半導体レーザの製造方法。

(3)半導体基板上に、第1導電型の半導体多層反射膜と、少なくとも1つの量子井戸構造をもつ量子井戸活性層と、第2導電型の半導体多層反射膜とを、少なくとも備える半導体層を形成する工程と、前記量子井戸活性層に達する溝をエッチングにより形成し、該溝で囲まれた発光領域となる半導体柱を形成する工程と、少なくとも絶縁膜を含む相互拡散促進膜を半導体表面に形成する工程と、該相互拡散促進膜上にフォトレジストを前記溝が平坦になるように塗布する工程と、前記溝部を除いてエッチングにより、前記相互拡散促進膜を除去する工程と、熱処理により、前記溝部において相互拡散を行ない半導体変成層を形成する工程とを、備えることを特徴とする面発光半導体レーザの製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は光交換や光情報処理に用いられる面発光半導体レーザに関する。

(従来の技術)

光交換、光コンピュータ、光情報処理等の分野では2次元集積化が可能な面発光レーザが必要であり、盛んに研究開発されている。その一例が、J. L. JewellやY. H. Lee等によるエレクトロニクスレターズ(Electronics Letters)25 巻1123~1124 頁及び、1377~1378頁に記載されている。1~5 μ m径の面発光レーザが1~2mAの閾電流で発振したと報告されている。またその製造方法は半導体層形成後、金、Niを蒸着し、Niを数 μ m径の円形にパターンニングしNiをマスクとしてドライエッチングにより、数 μ m径の半導体柱を形成していた。

(発明が解決しようとする課題)

前述の面発光レーザでは閾値電流が1mA程度であり、閾値電流密度1KA/cm²から計算される閾値電流2 μ m直径で30 μ Aと比べると非常に大きい。この

理由はメサ側面での活性層側面が大気に露出した構造となっており、更にドライエッチングによる半導体柱を形成時のダメージが加工表面にあり、ここでの表面非発光再結合を介した無効電流が1mA程度あるためと考えられる。また数 μ m径の半導体柱は機械的な強度が弱く、プロセス工程中に破損し歩留りが低下したり、発光領域にストレスがかかり発光効率が低下する問題があった。また同様の理由で成長表面側にヒートシンクを融着することが困難であるため、連続発振時の特性が悪いという問題があった。

本発明の目的は、表面再結合により無効電流を低減することにより、低閾値電流、高発光効率の面発光半導体レーザを、及びその歩留り良い製造方法を提供することにある。

(課題を解決するための手段)

本発明の面発光半導体レーザは、半導体基板上に、第1導電型の半導体多層反射膜と、少なくとも1つの量子井戸構造をもつ量子井戸活性層と、第2導電型の半導体多層反射膜とを少なくとも備え、

前記量子井戸活性層に達する溝で囲まれた発光領域となる半導体柱を有し、前記溝の半導体側面に変成層を備えることを特徴とする。

あるいは上記の本発明の面発光レーザの溝をポリイミド等の樹脂で埋めてプレーナ化した面発光レーザあるいはレーザアレイであることを特徴とする。

本発明の面発光半導体レーザ製造方法は、半導体基板上に、第1導電型の半導体多層反射膜と、少なくとも1つの量子井戸構造をもつ量子井戸活性層と、第2導電型の半導体多層反射膜とを、少なくとも備える半導体層を形成する工程と、前記量子井戸活性層に達する溝をエッチングにより形成し、該溝で囲まれた発光領域となる半導体柱を形成する工程と、少なくとも絶縁膜を含む相互拡散促進膜を半導体表面に形成する工程と、前記溝の側面を除いて、指向性のあるドライエッチングにより、前記相互拡散促進膜を除去する工程と、熱処理により前記溝の側面の半導体層において相互拡散を行なう工程とを、備えることを特徴とする。

また、第2の製造方法は、半導体基板上に、第1導電型の半導体多層反射膜と、少なくとも1つの量子井戸構造をもつ量子井戸活性層と、第2導電型の半導体多層反射膜とを、少なくとも備える半導体層を形成する工程と、前記量子井戸活性層に達する溝をエッチングにより形成し、該溝で囲まれた発光領域となる半導体柱を形成する工程と、少なくとも絶縁膜を含む相互拡散促進膜を半導体表面に形成する工程と、該相互拡散促進膜上にフォトリジストを前記溝が平坦になるように塗布する工程と、前記溝部を除いてエッチングにより、前記相互拡散促進膜を除去する工程と、熱処理により、前記溝部において相互拡散を行ない半導体変成層を形成する工程とを、備えることを特徴とする。

(作用)

表面非発光再結合により無効電流を低減するにはヘテロ接合を用いれば良く、この一実現手段として不純物導入等による無秩序化の技術がある。これは量子井戸構造からなる活性層に不純物を導

入したり、熱応力を加えることにより、量子井戸構造の構成元素の相互拡散を促進し、量子井戸構造を無秩序化して、ほぼ一様組成の半導体とするものである。この無秩序化された領域を變成層と呼ぶ。これにより活性層の側面を活性層よりも禁制帯幅の広い半導体とすることによって、ヘテロ接合効果により表面再結合の抑制をするものである。この技術を面発光レーザに適用するには問題があった。即ち、面発光レーザの発光部は、半導体柱となっているが、この全面に不純物又は熱応力を導入して無秩序化すると、半導体の頂上部付近の半導体多層膜も無秩序化され、反射率が低下したり、頂上部に形成された電極の抵抗が増大し、レーザ特性が悪化してしまう。そこで本発明の構造は無秩序化された變成層を溝の側面にのみ形成した構造となっている。

更に、発光領域の半導体柱の周りに溝を形成した構造なので、従来のような発光部が突出した構造と違い、素子の機械的強度が保たれ、製造工程

や実装時に破損することはなく、発光領域に不要なストレスがかからない構造となっている。

本発明の製造方法によれば上述の構造を容易に歩留り高く製作することができる。本発明の請求項2の製造方法では、半導体柱をエッチングにより形成後、 SiO_2 等の相互拡散促進膜を全面に指向性の良いドライエッチング法、例えば反応性イオンビームエッチング(RIBE)法により、半導体表面の平坦部の SiO_2 膜のみをエッチングする。これにより半導体柱の側面の SiO_2 膜は残り、半導体柱の頂上部等の平坦部の SiO_2 は除去される。こうして半導体柱側面にのみ相互拡散促進膜を形成後、熱処理することにより、多層反射膜や電極の劣化なしに、側面にのみ變成層を形成できる。

請求項3の製造方法は、相互拡散促進膜を全面に形成する工程まで、請求項2と同様である。その後、フォトリソを塗布して表面を平坦にする。溝の部分はウェハー全体に比べ面積が小さいので容易に平坦に塗布することができる。次にドライエッチング等により均一にエッチングをする

と、半導体表面の平坦部では溝の部分よりフォトリソが薄いので、早くフォトリソが除去される。次にエッチングにより平坦部で相互拡散促進膜を除去する。溝の部分はフォトリソがエッチングされただけで相互拡散促進膜は保存されている。この後フォトリソを洗浄により除き、熱処理をすることにより、溝の中の部分のみ不純物又は空孔等が導入され、變成層が形成される。このようにして半導体柱の側面の量子井戸活性層を無秩序化できる。この方法でも反射膜や電極の劣化、それに伴う電気抵抗の増大はない。

更に、本発明では、周囲に溝を形成することにより、半導体柱を形成しているので、溝をポリイミドで容易に埋めこみプレーナ化できる。特に周囲の溝の幅を一定とすることにより、ポリイミドの埋め込み形状が一定となり、再現良く平坦化できる。埋め込み後半導体柱の頂上部のポリイミドは、ドライエッチングにより再現良く均一に除去することが可能である。多数の面発光レーザを集積したレーザアレイでは各々を独立駆動するため

に、多数の配線をしなければならない。従来のレーザアレイではプレーナ化が難しく、半導体柱の高さが $2\mu\text{m}$ 程度あるため、配線の段切れが起り易く歩留りが低下していた。本発明は、プレーナ化が容易であり、レーザの数が増えても容易に細かい配線が可能で、高密度集積面発光レーザアレイに最適である。

(実施例)

次に本発明の実施例について図面を用いて詳細に説明する。第1図(a)~(d)は本発明の一実施例の製造工程を示す断面図である。まず、第1図(a)示す様にn型GaAs半導体基板1上に、n型AlAs 802\AA /n型GaAs 670\AA の23周期からなる第1導電型の半導体多層反射膜2、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As } 1430\text{\AA}$ / $\text{In}_{0.2}\text{Ga}_{0.8}\text{As } 100\text{\AA}$ / $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As } 1430\text{\AA}$ からなる量子井戸構造の活性層3、p型GaAs 670\AA /p型AlAs 802\AA 10周期の第2導電型の半導体多層反射膜4、 p^+ 型GaAs 30\AA のキャップ層15を結晶成長する。ここで活性層3内部の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層は歪単一量子井戸の活性層である。次に通常のフォトリソ技術によってリング

状溝7を形成する。この時のエッチング深さは活性層構造3まで達する様にする。エッチング方法は、反応性イオンビームエッチング(RIBE法)や反応性イオンエッチング法(RIE法)等の指向性のあるもので垂直な側面が得られる様にする。この時に、発光領域となる2~5 μm 径の半導体柱6が形成される。次に相互拡散促進膜の SiO_2 膜(厚さ1000~2000Å)を全面に形成する。

次に、再び指向性のあるドライエッチングを用いて SiO_2 膜5をエッチングする。エッチングガスとして CF_4 等が用いられる。エッチング方法は、やはりRIBE法やRIE法を用いれば良い。この時にエッチングビーム12が指向性があるためにリング状溝7の側面に形成された SiO_2 膜5のエッチング速度は極めて遅い。このため第1図(b)に示す様に、平坦部の SiO_2 膜5のみをエッチングする事が出来る。次に、As雰囲気において850°C1時間~10時間程度の熱処理を行なう。このとき、GaAs表面からのAsの脱離を防ぐため、 H_2 雰囲気中でGaAs基板で表面を保護する方法(フェイス トゥ フェイス法)や石英アンブ

Zn dope Spin on Glass膜(SOG膜)を用いる事も出来る。この場合は無秩序化領域はp型となる。

次に第1図(c)のようにポリイミド13を、全面に平坦となるよう塗布する。次に酸素ガスを用いたドライエッチングを用いて半導体柱6の頂上部のに達するまでエッチングする。この時リング状溝7の幅をほぼ一定とすることによって半導体柱6の頂上部の上にポリイミド13の厚みウエハー内で均一とする事が出来る。このためポリイミドのドライエッチングにより、半導体柱6の頂上部を歩留まり良く露出させる事が出来る。次にSiN膜9を形成し、通常のフォトエッチングによって電極をとるための窓を形成しp型電極10を形成する。この場合、ポリイミドによる平坦化が実現されているため、p型電極10の段切れは生じない。最後にn型電極11を形成し、フォトエッチングによって、光出力取り出し窓14を形成する。この様にして第1図(d)の本発明の面発光レーザが完成する。

本実施例においては、活性層構造として $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ の単一量子井戸構

ル内部にAs粉末とレーザウエハーを同時に真空で封じ切る事によってAs雰囲気を実現する方法等をとると良い。この熱処理によってリング状溝7側面の SiO_2 膜5の近傍のみ変成層(無秩序化領域)8を形成する事が出来る。 SiO_2 膜5近傍で結晶が無秩序化する理由は、結晶内部のAl原子が動きやすく SiO_2 膜5を還元するためと考えられているが詳細な機構は明らかでは無い。この方法の他に、従来から知られているSi拡散の方法を用いても良い。この場合には SiO_2 膜5の代わりにSiN膜/Si膜の2層構造を用いてやはり第1図(b)の様に平坦部のみ、これらの層をエッチング除去する。

次に850°Cで1時間~10時間程度の熱処理する事によってSi拡散がリング状溝7の側面のSiN膜/Si膜の近傍のみで生じ、n型の無秩序化領域8が形成される。この場合には、第1導電型半導体多層反射膜2及び半導体基板1をp型として、第2導電型半導体多層反射膜4をn型とした方が、半導体柱の頂上部にpn接合が露出しないため都合が良い。又、SiN膜/Si膜の代わりにZnドープスピノンガラス膜、

造としたが、材料や構造はこれに限らず、多重量子井戸構造や単一層構造を用いても良い。ただし、単一層構造の場合には、無秩序化の効果が弱くなるため、層厚は1000Å以下が好ましい。又、本実施例ではキャップ層を用いたが、第2半導体多層反射膜表面近傍を十分高濃度($p > 10^{19} \text{ cm}^{-3}$)にすれば、キャップ層を設けなくても良い。又、半導体多層反射膜としてGaAs670Å/AlAs802Åのものをを用いたが、これに限らず発振光の波長 λ らに対して異なる屈折率 n_1, n_2 を有し厚みが各々 $\lambda/4n_1, \lambda/4n_2$ の層の交互積層構造であれば他の組成及び厚みでも良い。又、本実施例では、半導体柱の周りの溝パターンとして同心円状のリングパターンを用いたが、これに限らず四角形や他の図形のリングパターンで溝の幅がほぼ一定となっていれば、本発明が有効に適用出来る。

次に本発明の第2の実施例について図面を参照して詳細に説明する。第2図(a)~(e)は本発明の面発光半導体レーザの一実施例の製造工程を説明するための断面図である。

まずn型GaAs半導体基板1上にn型AlAs層及びn型GaAs層各々厚さ $\lambda/4n_r$ (λ :活性層の禁止帯幅ではは決まるレーザ発振波長; n_r :半導体各層の屈折率)で交互に約20周期積層したn型半導体多層反射膜2と厚さ500Å~1 μ mのn型 $Al_xGa_{1-x}As$ ($x=0.3\sim0.7$)のn型クラッド層16と厚さ約100Åの $In_yGa_{1-y}As$ ($y=0.05\sim0.5$)量子井戸層と厚さ30~200ÅのGaAs閉じ込め層からなる量子井戸活性層3と厚さ500Å~1 μ mのp型 $Al_xGa_{1-x}As$ ($x=0.3\sim0.7$)p型クラッド層17と、p型AlAs層とp型GaAs層を各々厚さ $\lambda/4n_r$ で交互に約10~20周期積層したp型半導体多層反射膜4と厚さ10~1000Åのp型GaAsキャップ層15とを分子線エピタキシー(MBE)法を用いて形成した。次に成長した基板上に SiO_2 、 SiN 等の絶縁膜あるいはフォトレジストを約3000Å~5 μ m形成し、フォトリソグラフィ法により、内径1 μ m~100 μ m、外径約10 μ m~150 μ m程度のドーナツ状の領域を除去し、同心円状のマスキング18を形成する。その後このマスキング18を用いて Cl_2 プラズマによる反応性イオンビームエッチング(RIBE)法等のドライエッチング

技術により、少なくとも量子井戸活性層3が露出するまでエッチングを行い溝7を形成する(第2図(a))。この時、この溝7に囲まれた円柱状の発光領域6が形成されるが、この発光領域6は溝7をはさんでエッチングされずに残っている半導体層に囲まれているため、半導体柱の発光領域6にかかるストレスは著しく軽減される。次に相互拡散促進膜となる SiO_2 又は SiN 膜等の絶縁膜5を全面に形成し、その後フォトレジスト19を溝7が埋まるように全面に塗布する。この時溝7はウェハ全体に対して、著しく小さいため、フォトレジスト19はその粘性によりほぼ平坦に塗布される(第2図(b))。次に酸素イオン20を用いた反応性イオンエッチング(RIE)等のドライエッチング技術を用い、成長表面上の絶縁膜5が露出するまでフォトレジストをエッチング除去する(第2図(c))。この後成長表面に露出した絶縁膜5のみをエッチングで除去し、その後溝の中のレジストを洗浄で除去する。次に、例えばGaAs基板を保護基板として用いるフェイストゥーフェイス法等を用い、700°C~900°Cで熱処理を施す。この工

程により絶縁膜5中から不純物または空孔等が導入され溝7の部分のみに半導体変成層8が形成され、発光領域6の側面の量子井戸活性層3は無秩序化され、そこでは禁制帯幅が大きくなるので、実効的に埋め込み構造が形成される(第2図(d))。この時、絶縁膜5は成長表面には存在しないので、成長表面からは不純物等が導入されず、発光効率の低減、直列抵抗の増大等の問題は生じない。尚、相互拡散促進膜や熱処理方法は第1の実施例の中で示した他の方法でもよい。この後に、p側電極10としてAuを全面に形成した後に、フォトリソグラフィ法により発光領域以外のAuをエッチング除去する。最後にn型GaAs基板1の裏面の発光領域6以外の部分にn側電極GaAs基板11としてAuGeNi/AuNiを形成し第2図(e)に示す面発光半導体レーザが完成する。

この実施例においても量子井戸活性層は単一量子井戸としたが、これにかぎらず多重量子井戸であっても本発明は適用できる。

これにかぎらず、第1の実施例と同様にSi膜やZnドーブSOG(Spin-on-Glass)等を用いた不純物導入に

よる無秩序化を用いる場合においても本発明は適用できる。

以上2つの実施例で示した面発光レーザでは、いずれも従来に比べ、無効電流を1/10以下にでき、低しきい値での発振が可能である。また、製作工程や実装時の破損もなく高歩留りで製作できる。

本発明の2つの実施例において材料系はGaAs/AlGaAs系としたがこれに限らず他の材料系、例えばInGaAs/InP系においても本発明は適用できる。(発明の効果)

本発明の面発光レーザとその製造方法によれば表面再結合の無効電流成分がほぼなくなり、低閾値電流で発振する面発光レーザが高歩留りに製作出来る。しかも発光領域に機械的ストレスがかかりにくく、素子特性の低下や製造工程の歩留りの低下もない。またプレーナ化が容易であり、プレーナ化することにより複数の電極配線が容易で、細い配線でも段切れすることなく良好に形成できるので、レーザアレイや集積素子に適している。

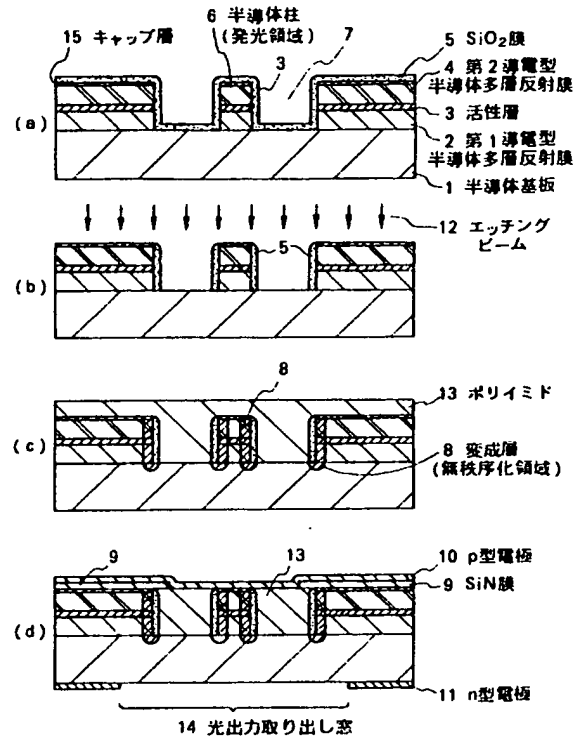
図面の簡単な説明

第1図(a)~(d)は本発明による面発光半導体レーザの第1の実施例の製作工程を示す断面図である。第2図(a)~(e)は本発明の面発光半導体レーザの第2の実施例の製作工程を示す断面図である。

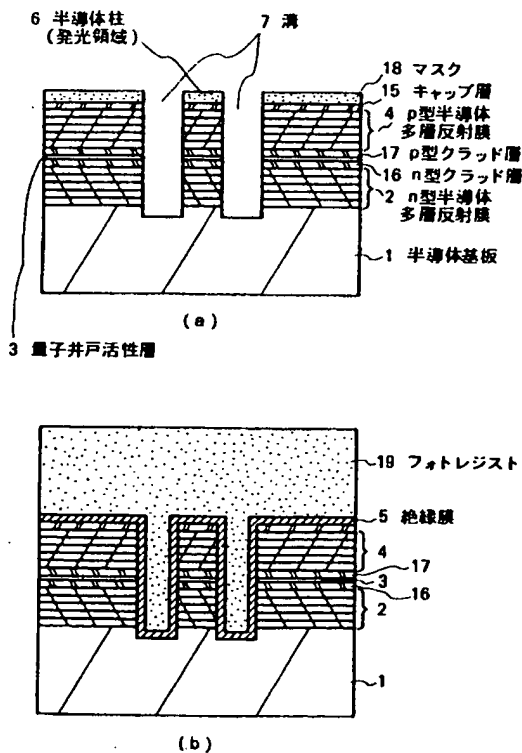
図において、1…半導体基板、2…第1導電型半導体多層反射膜、3…活性層、4…第2導電型半導体多層反射膜、5…SiO₂膜または絶縁膜、6…半導体柱(発光領域)、7…溝、8…半導体変成層(無秩序化領域)、9…SiN膜、10…p型電極、11…n型電極、12…エッチングビーム、13…ポリイミド、14…光出力取り出し窓、15…キャップ層、16…n型クラッド層、17…p型クラッド層、18…マスク、19…フォトリソ、20…酸素イオン。

代理人 弁理士 内原 晋

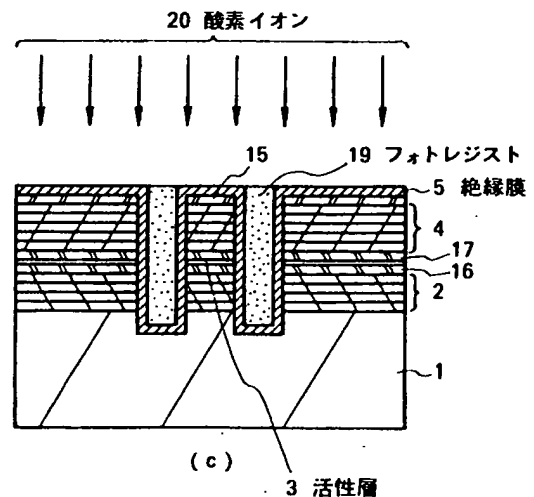
第 1 図



第 2 図



第 2 図



第 2 圖

